



JRW

Attorney Docket No.: BHT-3111-452

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Hsieh-Chen CHANG et al.

Application No.: 10/815,860

Filed: April 2, 2004

Group Art Unit: 2655

Examiner: Not Yet Assigned

For: **MULTI-LAYER SUBSTRATE STRUCTURE FOR REDUCING LAYOUT AREA**

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner of Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant claims the right of priority based upon **Taiwanese Patent Application No. 092136964 filed December 31, 2003.**

A certified copy of Applicant's priority document is submitted herewith.

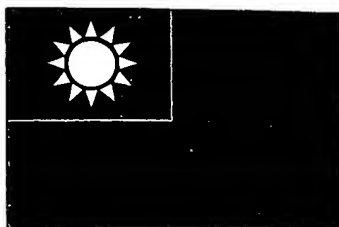
Respectfully submitted,

By:

Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707

Date: August 24, 2004



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 12 月 26 日
Application Date

申請案號：092136964
Application No.

申請人：微星科技股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2004 年 7 月 23 日
Issue Date

發文字號：03320704740
Serial No.



申請日期：92. 12. 26,

IPC分類

申請案號：92136964

H05K 3/00

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	減少佈線面積之多層電路板堆疊結構
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 張孝甄 2. 紀安玲
	姓名 (英文)	1. 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北市中正區汀州路三段60巷2弄5號9樓 2. 台北縣土城市裕民路157號4樓
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 微星科技股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣中和市立德街69號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 徐祥
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：減少佈線面積之多層電路板堆疊結構)

本發明係提供一種減少佈線面積之多層電路板堆疊結構，其係包括有：一第一核心層、一第二核心層以及一組耦合傳輸線。該第一核心層具有與一電源層相連接之一第一表面以及與該第一表面相對應之一第二表面，該第二核心層具有與一第一接地層相連接之一第三表面以及與該第三表面相對應之一第四表面，一組該耦合傳輸線其係於該第二表面上佈設有具有一訊號線寬之複數個第一差動訊號線，以及於該第四表面上佈設有具與該第一差動訊號線相對應訊號線寬之複數個第二差動訊號線，藉由一第一介電質層連接該第二表面與該第四表面，使得該第二表面與該第四表面相距一適當高度，且該第一差動訊號線與該第二差動訊號線至少一部份訊號線寬相對位。

五、英文發明摘要 (發明名稱：)



六、指定代表圖

(一)、本案代表圖為：第圖二A圖

(二)、本案代表圖之元件代表符號簡單說明：

3~多層電路板堆疊結構	31~第一核心層
311~第一表面	312~第二表面
32~第二核心層	321~第三表面
322~第四表面	33~耦合傳輸線
331~第一差動訊號線	332~第二差動訊號線
34~電源層	35~第一接地層
36~第一介電質層	41~第三核心層
411~第五表面	412~第六表面
42~第二接地層	43~訊號傳輸線層
431~訊號傳輸線	44~第二介電質層
5~外覆結構	51~預浸材層
52~訊號層	53~綠漆層



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種多層電路板堆疊結構，尤指將差動訊號線形成立體式堆疊佈線方式之一種減少佈線面積之多層電路板堆疊結構。

【先前技術】

由於近年來高科技技術之突飛猛進，尤其在微電子相關技術製程之領域中更是日新月異，故電子相關產品已深入於每個家庭及各行各業中，成為現代生活中不可或缺之一部份。

當然由於人類的需求越來越多，相對使得電子裝置必須達到更多功能性之使用，且各電子產品更朝向短小輕薄結構以及多元化功效的目標邁進，該短小輕薄結構之電子產品必須具有更密集之電子元件方能減少所佔據之空間，由此電路板上之電子元件已佔去大部分之電路板面積，在進行佈線時考量傳輸線阻抗、線與線的間距、訊號佈線規則等問題時，更使得訊號的電路佈局日形困難。

請參閱圖一所示，其係為習用多層電路板堆疊側視剖面結構示意圖。該多層電路板堆疊結構1其係於一第一核心電路板11與一第二核心電路板12之間設置有一差動訊號處理層13，且該第一核心電路板11之另一側設有一電源供應層14，而該第二核心電路板12之另一側設有與該電源供應層14相對應之一第一接地層15，一般說來該差動訊號處理層13就是從差動式訊號發送器（圖中未示出）上，透過



五、發明說明 (2)

兩條路徑(traces)而發送出完全相同的非反向(non-inverted)以及反向(inverted)資料，為便於說明，圖中係以+及-表示合先敘明，最後並且由差動式接收器(圖中未示出)進行接收，由於透過差動訊號的方式，可以降低電壓轉換的幅度(voltage swing)，進而加快電路速度，降低耗電量和電磁干擾(EMI)的影響的優點。而該電源供應層14上更堆疊有一單一傳輸線層16，該單一傳輸線層16其係以一介電質層17和該電源供應層14相隔離，以利於該單一傳輸線層16之訊號傳遞，之後再堆疊設有一第二接地層19之一第三核心電路板18於該單一傳輸線層16上，此時該第一接地層15與該第二接地層19上分別設置有一電路層21，而為保護電路層21上線路，避免因刮傷造成短、斷路現象和達成防焊功能，故在該電路層21上塗上一層保護膜，稱之為防焊綠漆22。

但以上習用之多層電路板堆疊結構1之該差動訊號處理層13其係為平面結構，且設計時必須為配對，因此隨著設計的複雜度、困難性越來越高時，平面電路板表面積不足會使得不佳之佈線造成雜訊耦合、訊號失真等不完整訊號傳遞之問題，此乃產業間急需解決之問題，以降低支付成本提昇產業之競爭力，該問題之突破解決實為刻不容緩。

【發明內容】

本發明之主要目的係在於提供一種減少佈線面積之多



五、發明說明 (3)

層電路板堆疊結構，其係藉由將訊號傳輸線與差動訊號線分層佈線，以達到具有更大電路設計空間之功效。

本發明之次要目的係在於提供一種減少佈線面積之多層電路板堆疊結構，其係藉由立體式堆疊佈線方式，以達到減少雜訊耦合以及訊號失真之功效。

本發明之另一目的係在於提供一種減少佈線面積之多層電路板堆疊結構，其係可提供較佳的佈線空間，以達到提昇電路性能之功效。

為達上述目的，本發明係提供一種減少佈線面積之多層電路板堆疊結構，其係包括有：一第一核心層、一第二核心層以及一組耦合傳輸線。

該第一核心層其係具有一第一表面以及與該第一表面相對應之一第二表面，該第一表面其係與一電源層相連接。

該第二核心層其係具有一第三表面以及與該第三表面相對應之一第四表面，該第三表面其係與一第一接地層相連接。

一組該耦合傳輸線其係於該第二表面上佈設有具有一訊號線寬之複數個第一差動訊號線，以及於該第四表面上佈設有具與該第一差動訊號線相對應訊號線寬之複數個第二差動訊號線。

其中藉由一第一介電質層連接該第二表面與該第四表面，使得該第二表面與該第四表面相距一適當高度，且該第一差動訊號線與該第二差動訊號線至少一部份訊號線寬



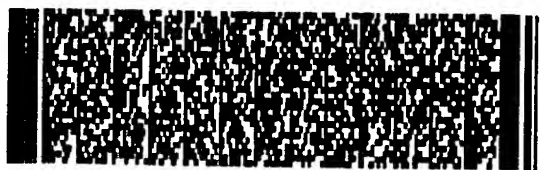
五、發明說明 (4)

相對位。

為達上述目的，本發明係更提供另一種減少佈線面積之多層電路板堆疊結構之較佳實施例，該減少佈線面積之多層電路板堆疊結構，其係包括有：一第一堆疊結構以及一第二堆疊結構。

該第一堆疊結構其係具有：一第一核心層、一第二核心層、一第一組耦合傳輸線以及一第一介電質層。該第一核心層其係具有與一電源層相連接之一第一表面以及與該第一表面相對應之一第二表面，該第二核心層其係具有與第一第一接地層相連接之一第三表面以及與該第三表面相對應之一第四表面，該第一組耦合傳輸線其係於該第二表面上佈設有具有一訊號線寬之複數個第一差動訊號線，以及於該第四表面上佈設有具與該第一差動訊號線相對應訊號線寬之複數個第二差動訊號線，該第一介電質層其係連接該第二表面與該第四表面，將該第一差動訊號線與該第二差動訊號線至少一部份訊號線寬相對位，該第一介電質層更包覆該第一組耦合傳輸線，且使得將該第一差動訊號線與該第二差動訊號線相距一距離。

該第二堆疊結構其係具有：一第三核心層、一第四核心層、一第二組耦合傳輸線以及一第二介電質層。該第三核心層其係具有與該電源層相連接之一第五表面以及與該第五表面相對應之一第六表面，該第四核心層其係具有與第一第二接地層相連接之一第七表面以及與該第七表面相對應之一第八表面，該第二組耦合傳輸線其係於該第六表面



五、發明說明 (5)

上佈設有具有一訊號線寬之複數個第三差動訊號線，以及於該第八表面上佈設有具與該第三差動訊號線相對應訊號線寬之複數個第四差動訊號線，該第二介電質層其係連接該第六表面與該第八表面，將該第三差動訊號線與該第四差動訊號線至少一部份訊號線寬相對位，該第二介電質層更包覆該第二組耦合傳輸線，且使得將該第三差動訊號線與該第四差動訊號線相距一距離。

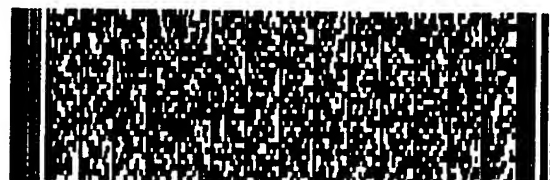
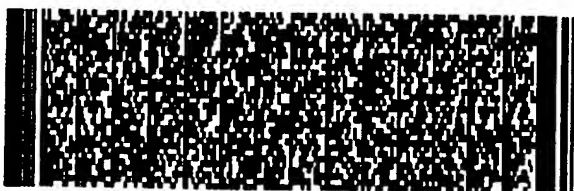
為使貴審查委員對於本發明能有更進一步的了解與認同，茲配合圖式作一詳細說明如后。

【實施方式】

本發明之主要技術精神係藉由差動訊號線分層佈線立體式堆疊方式，將適合小尺寸、表面零件多、電路板表面佈線面積不夠且有多對耦合或差動訊號之結構，以達到減少雜訊耦合、訊號失真以及提昇電路性能之功效。

以下將舉出較佳實施例詳細說明本發明之減少佈線面積之多層電路板堆疊結構的詳細手段，動作方式，達成功效，以及本發明的其他技術特徵。

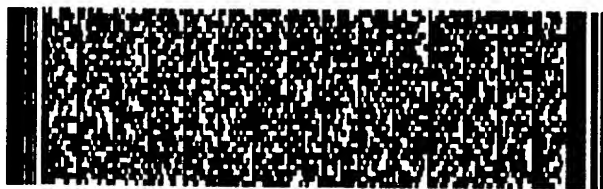
請參閱圖二A至圖三所示，係為本發明多層電路板堆疊結構數個較佳實施例立體結構及其差動訊號處理層側視結構示意圖。本發明減少佈線面積之多層電路板堆疊結構3其係包括有：一第一核心層31、一第二核心層32以及一組耦合傳輸線33。該第一核心層31其係具有一第一表面311以及與該第一表面311相對應之一第二表面312，該第



五、發明說明 (6)

一表面311其係與一電源層34相連接，該第二核心層32其係具有一第三表面321以及與該第三表面321相對應之一第四表面322，該第三表面321其係與一第一接地層35相連接，該組耦合傳輸線33其係於該第二表面312上佈設有具有一訊號線寬 d 之複數個第一差動訊號線331以及於該第四表面322上佈設有具與該第一差動訊號線331相對應訊號線寬 d 之複數個第二差動訊號線332，此時該電源層34與該第一接地層35提供進行差動訊號處理之電能量，再由一第一介電質層36連接該第二表面312與該第四表面322，使得該第二表面312與該第四表面322相距一適當高度 h ，於本發明較佳實施例中，該第一差動訊號線331與該第二差動訊號線332之訊號線寬 d 係為完全對應疊合，因此當從差動式訊號發送器（圖中未示出）上，透過兩條路徑（第一差動訊號線331與第二差動訊號線332）而發送出完全相同的非反向(non-inverted)以及反向(inverted)資料，為便於說明，圖中係以+及-表示，最後並且由差動式接收器（圖中未示出）進行接收，此時之電磁干擾(EMI)會相互抵消利於電路佈局，本發明減少佈線面積之多層電路板堆疊結構3中，因堆疊該第一差動訊號線331與該第二差動訊號線332會使得二側多出空間提供一般訊號線（圖中未示出）之傳輸，以利於複雜度以及困難性更高之佈線設計。

以下所述之本發明其他較佳實施例中，因大部份的元件係相同或類似於前述實施例，因此相同之元件將直接給予相同之名稱及編號，且對於類似之元件則給予相同名稱



五、發明說明 (7)

但在原編號後另增加一英文字母以資區別且不予贅述，合先敘明。本發明另一較佳實施例中，該第一差動訊號線331a與該第二差動訊號線332a之訊號線寬d係為僅有部分對應疊合d'，因此當從差動式訊號發送器（圖中未示出）上，亦可達到透過兩條路徑（第一差動訊號線331a與第二差動訊號線332a）而發送出完全相同的非反向以及反向資料（圖中係以+及-表示），最後並且由差動式接收器（圖中未示出）進行接收，由於本發明較佳實施例中必須進行阻抗之調整，因此設計將該第二表面312與該第四表面322相距之原有高度h調整為一較低高度h'，即該第一介電質層36a之厚度h'較原先之該第一介電質層36之厚度h為小。

以上本發明減少佈線面積之多層電路板堆疊結構3數個較佳實施更包括有：一第三核心層41、一訊號傳輸線層43以及一第二介電質層44，該第三核心層41其係具有一第五表面411以及與該第五表面411相對應之一第六表面412，該第五表面411其係與一第二接地層42相連接，該訊號傳輸線層43其係與該第六表面412相連接，且該訊號傳輸線層43更具有適當排列之複數個訊號傳輸線431，該第二介電質層44其係連接該第六表面412以及該電源層34，且該第二介電質層44其係包覆該訊號傳輸線層43，使得該訊號傳輸線層43與該電源層34相距一厚度s，藉由上述結構可使得該訊號傳輸線層43可位於該電源層34與該第二接地層42之間提供進行一般訊號處理之電能量，且現階段最



五、發明說明 (8)

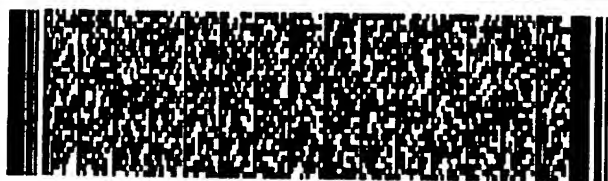
外層皆是為接地層，最後再將該第一接地層35與該第二接地層42上更分別具有一外覆結構5，該外覆結構5其係以一預浸材層51與該接地層相連接後，再提供印刷一訊號層52於其上，此為一般多層電路板之印刷電路層，最後再以一綠漆層53與該訊號層52相連接且包覆該訊號層52，以保護訊號層52上線路，避免因刮傷造成短、斷路現象和達成防焊之效果。

請參閱圖四所示，其係為本發明多層電路板堆疊結構另一較佳實施例立體結構示意圖。本發明之較佳實施中，該減少佈線面積之多層電路板堆疊結構其係包括有：一第一堆疊結構6以及一第二堆疊結構7。該第一堆疊結構6其係具有一第一核心層61、一第二核心層62、一第一組耦合傳輸線63以及一第一介電質層66，該第一核心層61其係具有一第一表面611以及與該第一表面611相對應之一第二表面612，該第一表面611其係與一電源層64相連接，該第二核心層62其係具有一第三表面621以及與該第三表面621相對應之一第四表面622，該第三表面621其係與一第一接地層65相連接，該第一組耦合傳輸線63其係於該第二表面612上佈設有具有一訊號線寬 d 之複數個第一差動訊號線631以及於該第四表面622上佈設有具與該第一差動訊號線631相對應訊號線寬 d 之複數個第二差動訊號線632，且由該第一介電質層66包覆該第一組耦合傳輸線63。

而該第二堆疊結構7其係與該第一堆疊結構6共用其電源層64，且藉由該電源層64進行堆疊，該第二堆疊結構7

五、發明說明 (9)

更具有：一第三核心層71、一第四核心層72、一第二組耦合傳輸線73以及一第二介電質層76。該第三核心層71其係具有與該電源層64相連接之一第五表面711以及與該第五表面711相對應之一第六表面712，該第四核心層72其係具有與一第二接地層75相連接之一第七表面721以及與該第七表面721相對應之一第八表面722，而該第二組耦合傳輸線73其係於該第六表面上712佈設有複數個第三差動訊號線731以及於該第八表面722上佈設有具與該第三差動訊號線731相對應之複數個第四差動訊號線732，且由該第二介電質層76包覆該第二組耦合傳輸線73，此時藉由該電源層64與該第二接地層75提供進行差動訊號處理之電能量，當然該，最後由上述之堆疊結構可使得現階段最外層皆是為接地層，最後再將該第一接地層65與該第二接地層75上更分別具有一外覆結構5，該外覆結構5其係以一預浸材層51與該接地層相連接後，再提供印刷一訊號層52於其上，此為一般多層電路板之印刷電路層，最後再以一綠漆層53與該訊號層52相連接且包覆該訊號層52，以保護訊號層52上線路，避免因刮傷造成短、斷路現象和達成防焊之效果。請參閱圖五A及圖五B所示，其係為習用差動訊號處理佈線所佔面積與本發明差動訊號處理佈線所佔面積比較示意圖。習用差動訊號處理之佈線所佔面積為 $4 * \text{訊號線寬}d + 2 * \text{差動訊號耦合間距}H2 + \text{差動訊號耦合線對與對間距}H1$ ，而本發明差動訊號處理之佈線所佔面積為 $2 * \text{訊號線寬}d + \text{差動訊號耦合線對與對間距}H1$ ，明顯減少 $2 * \text{訊號線寬}d + 2 * \text{差動}$



五、發明說明 (10)

訊號耦合間距H2所佔面積，為便於了解圖中僅提供二對差動訊號，當然具有更多對之差動訊號時，佈線面積之差異亦更大，例如SCSI擴充卡中，SCSI連接器與連接器間就存有27對差動訊號，使得習用差動訊號處理之佈線具有雜訊耦合以及訊號失真之缺失，因此藉由立體式本發明堆疊佈線方式可克服此缺失。

以上所述係利用較佳實施例詳細說明本發明，而非限制本發明之範圍。大凡熟知此類技藝人士皆能明瞭，適當而作些微的改變及調整，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍。綜上所述，本發明實施之具體性，誠已符合專利法中所規定之發明專利要件，謹請貴審查委員惠予審視，並賜准專利為禱。



圖式簡單說明

【圖式簡單說明】

圖一係為習用多層電路板堆疊側視剖面結構示意圖。

圖二A係為本發明多層電路板堆疊結構第一較佳實施例立體結構示意圖。

圖二B係為本發明多層電路板堆疊結構第一較佳實施例差動訊號處理層側視結構示意圖。

圖三係為本發明多層電路板堆疊結構第二較佳實施例差動訊號處理層側視結構示意圖。

圖四係為本發明多層電路板堆疊結構第三較佳實施例立體結構示意圖。

圖五A其係為習用差動訊號處理佈線所佔面積示意圖。

圖五B其係為本發明差動訊號處理佈線所佔面積示意圖。

圖號說明：

1~多層電路板堆疊結構

11~第一核心電路板

12~第二核心電路板

13~差動訊號處理層

14~電源供應層

15~第一接地層

16~單一傳輸線層

17~介電質層



圖式簡單說明

- 18~ 第三核心電路板
- 19~ 第二接地層
- 21~ 保護電路層
- 22~ 防焊綠漆
- 3~ 多層電路板堆疊結構
- 31~ 第一核心層
- 311~ 第一表面
- 312~ 第二表面
- 32~ 第二核心層
- 321~ 第三表面
- 322~ 第四表面
- 33、33a~ 耦合傳輸線
- 331、331a~ 第一差動訊號線
- 332、332a~ 第二差動訊號線
- 34~ 電源層
- 35~ 第一接地層
- 36、36a~ 第一介電質層
- 41~ 第三核心層
- 411~ 第五表面
- 412~ 第六表面
- 42~ 第二接地層
- 43~ 訊號傳輸線層
- 44~ 第二介電質層
- 5~ 外覆結構



圖式簡單說明

- 51~ 預浸材層
- 52~ 訊號層
- 53~ 綠漆層
- 6~ 第一堆疊結構
- 61~ 第一核心層
- 611~ 第一表面
- 612~ 第二表面
- 62~ 第二核心層
- 621~ 第三表面
- 622~ 第四表面
- 63~ 第一組耦合傳輸線
- 631~ 第一差動訊號線
- 632~ 第二差動訊號線
- 64~ 電源層
- 65~ 第一接地層
- 66~ 第一介電質層
- 7~ 第二堆疊結構
- 71~ 第三核心層
- 711~ 第五表面
- 712~ 第六表面
- 72~ 第四核心層
- 721~ 第七表面
- 722~ 第八表面
- 73~ 第二組耦合傳輸線



圖式簡單說明

731~ 第三差動訊號線

732~ 第四差動訊號線

75~ 第二接地層

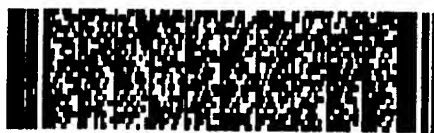
76~ 第二介電質層

d~ 訊號線寬

h~ 高度

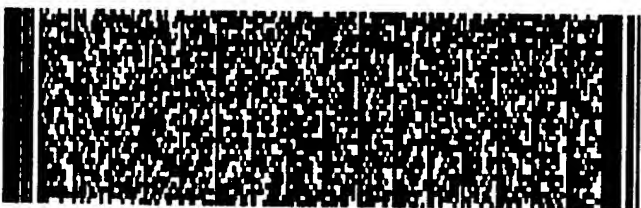
h' ~ 較低高度

s~ 厚度



六、申請專利範圍

1. 一種減少佈線面積之多層電路板堆疊結構，其係包括有：
 - 一第一核心層，其係具有一第一表面以及與該第一表面相對應之一第二表面，該第一表面其係與一電源層相連接；
 - 一第二核心層，其係具有一第三表面以及與該第三表面相對應之一第四表面，該第三表面其係與一第一接地層相連接；以及
 - 一組耦合傳輸線，其係於該第二表面上佈設有具有一訊號線寬之複數個第一差動訊號線以及於該第四表面上佈設有具與該第一差動訊號線相對應訊號線寬之複數個第二差動訊號線；其中，藉由一第一介電質層連接該第二表面與該第四表面，使得該第二表面與該第四表面相距一適當高度，且該第一差動訊號線與該第二差動訊號線至少一部份訊號線寬相對位。
2. 如申請專利範圍第1項所述之減少佈線面積之多層電路板堆疊結構，其中該第一介電質層其係包覆該耦合傳輸線，且使得將該第一差動訊號線與該第二差動訊號線相距一距離。
3. 如申請專利範圍第1項所述之減少佈線面積之多層電路板堆疊結構，其中該堆疊結構更包括有：
 - 一第三核心層，其係具有一第五表面以及與該第五表面相對應之一第六表面，該第五表面其係與一第二接地



六、申請專利範圍

層相連接；

一訊號傳輸線層，其係與該第六表面相連接；

一第二介電質層，其係連接該第六表面以及該電源層。

4. 如申請專利範圍第3項所述之減少佈線面積之多層電路板堆疊結構，其中該訊號傳輸線層更具有適當排列之複數個訊號傳輸線。

5. 如申請專利範圍第3項所述之減少佈線面積之多層電路板堆疊結構，其中該第二介電質層其係包覆該訊號傳輸線層，使得該訊號傳輸線層與該電源層相距一厚度。

6. 如申請專利範圍第3項所述之減少佈線面積之多層電路板堆疊結構，其中該第一接地層與該第二接地層上更分別具有一外覆結構，該外覆結構包括有：

一預浸材層，其係與該接地層相連接；

一訊號層，其係與該預浸材層相連接；以及

一綠漆層，其係與該訊號層相連接且包覆該訊號層。

7. 一種減少佈線面積之多層電路板堆疊結構，其係包括有：

一第一堆疊結構，其係具有：

一第一核心層，其係具有與一電源層相連接之一第一表面以及與該第一表面相對應之一第二表面；

一第二核心層，其係具有與一第一接地層相連接之一第三表面以及與該第三表面相對應之一第四表面；

一第一組耦合傳輸線，其係於該第二表面上佈設有具有一訊號線寬之複數個第一差動訊號線以及於該第四表



六、申請專利範圍

面上佈設有具與該第一差動訊號線相對應訊號線寬之複數個第二差動訊號線；

一 第一介電質層，其係連接該第二表面與該第四表面，將該第一差動訊號線與該第二差動訊號線至少一部份訊號線寬相對位，該第一介電質層更包覆該第一組耦合傳輸線，且使得將該第一差動訊號線與該第二差動訊號線相距一距離；以及

一 第二堆疊結構，其係具有：

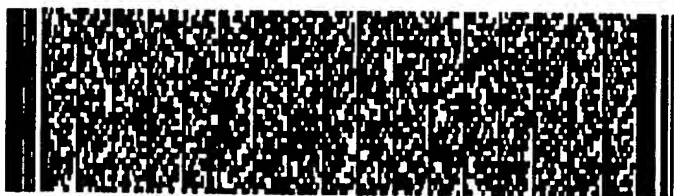
一 第三核心層，其係具有與該電源層相連接之一第五表面以及與該第五表面相對應之一第六表面；

一 第四核心層，其係具有與一第二接地層相連接之一第七表面以及與該第七表面相對應之一第八表面；

一 第二組耦合傳輸線，其係於該第六表面上佈設有具有一訊號線寬之複數個第三差動訊號線以及於該第八表面上佈設有具與該第三差動訊號線相對應訊號線寬之複數個第四差動訊號線；

一 第二介電質層，其係連接該第六表面與該第八表面，將該第三差動訊號線與該第四差動訊號線至少一部份訊號線寬相對位，該第二介電質層更包覆該第二組耦合傳輸線，且使得將該第三差動訊號線與該第四差動訊號線相距一距離。

8. 如申請專利範圍第7所述之減少佈線面積之多層電路板堆疊結構，其中該第一接地層與該第二接地層上更分別具有一外覆結構，該外覆結構包括有：



六、申請專利範圍

- 一預浸材層，其係與該接地層相連接；
 - 一訊號層，其係與該預浸材層相連接；以及
 - 一綠漆層，其係與該訊號層相連接且包覆該訊號層。
9. 如申請專利範圍第7所述之減少佈線面積之多層電路板堆疊結構，其中該第一堆疊結構其係與另一第二堆疊結構相連接，使得該第一接地層與另一第二接地層相結合成一體，且使得該另一第二堆疊結構與另一第一堆疊結構以另一電源層相結合。
10. 如申請專利範圍第9所述之減少佈線面積之多層電路板堆疊結構，其中該第二接地層與另一第一接地層上更分別具有一外覆結構，該外覆結構包括有：
- 一預浸材層，其係與該接地層相連接；
 - 一訊號層，其係與該預浸材層相連接；以及
 - 一綠漆層，其係與該訊號層相連接且包覆該訊號層。
11. 如申請專利範圍第7所述之減少佈線面積之多層電路板堆疊結構，其中該第二堆疊結構其係與另一第一堆疊結構相連接，使得該第二接地層與另一第一接地層相結合成一體，且使得該另一第一堆疊結構與另一第二堆疊結構以另一電源層相結合。
12. 如申請專利範圍第11減少佈線面積之多層電路板堆疊結構，其中該第一接地層與另一第二接地層上更分別具有一外覆結構，該外覆結構包括有：
- 一預浸材層，其係與該接地層相連接；
 - 一訊號層，其係與該預浸材層相連接；以及

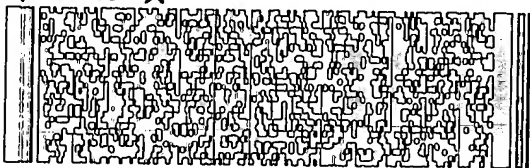


六、申請專利範圍

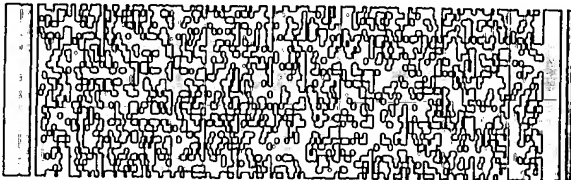
一 綠漆層，其係與該訊號層相連接且包覆該訊號層。



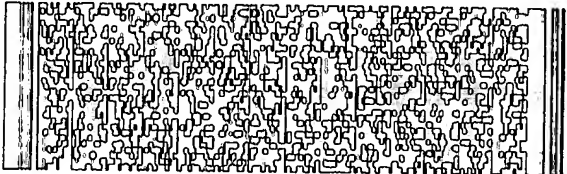
第 1/23 頁



第 2/23 頁



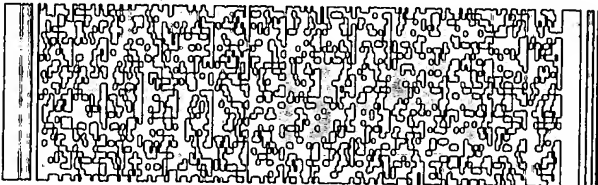
第 3/23 頁



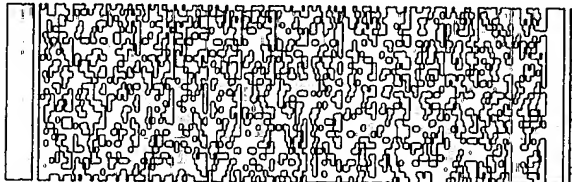
第 4/23 頁



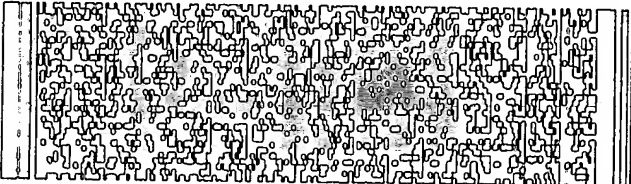
第 5/23 頁



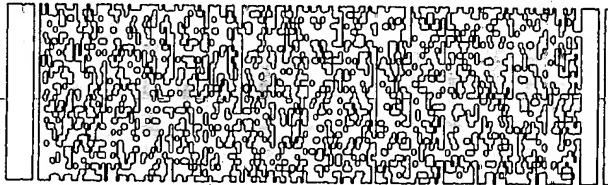
第 5/23 頁



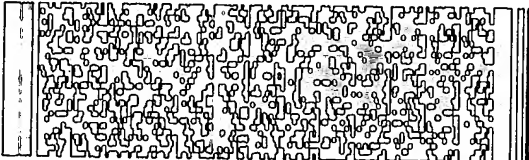
第 6/23 頁



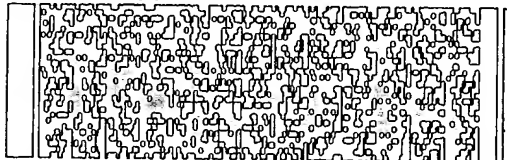
第 6/23 頁



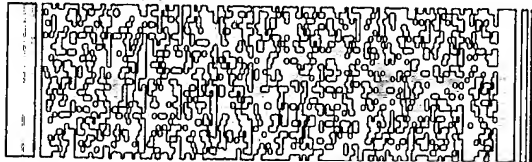
第 7/23 頁



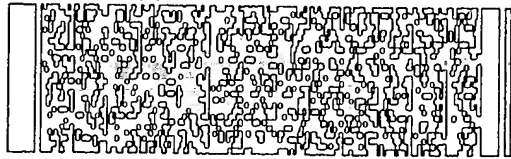
第 7/23 頁



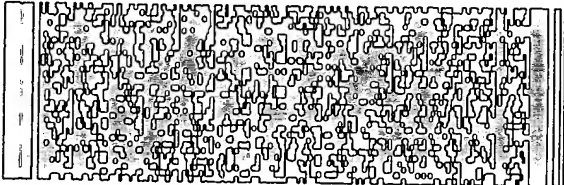
第 8/23 頁



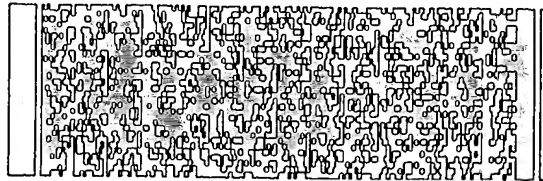
第 8/23 頁



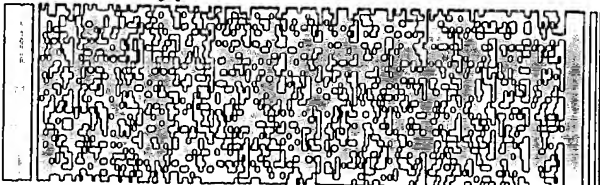
第 9/23 頁



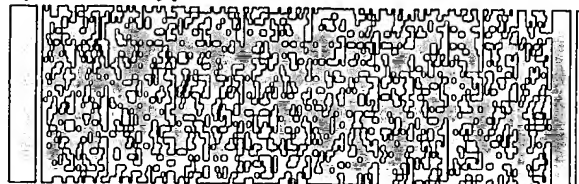
第 9/23 頁



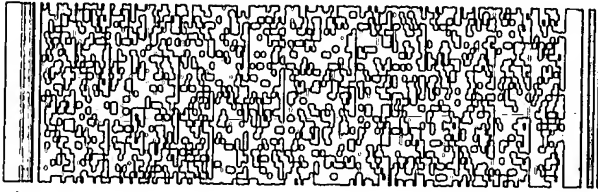
第 10/23 頁



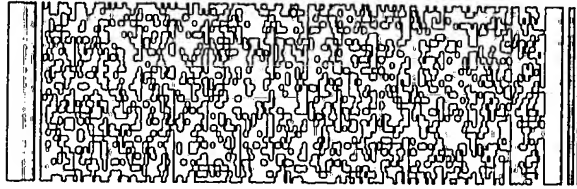
第 10/23 頁



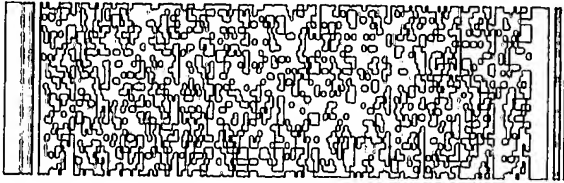
第 11/23 頁



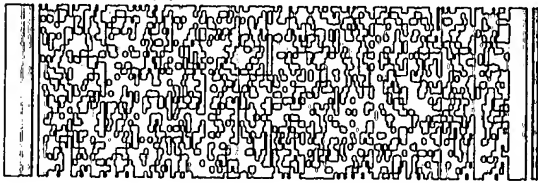
第 11/23 頁



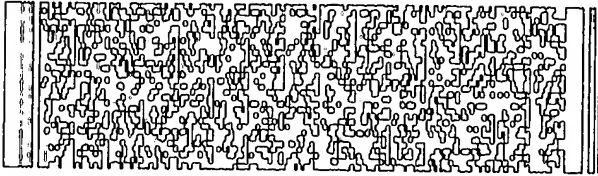
第 12/23 頁



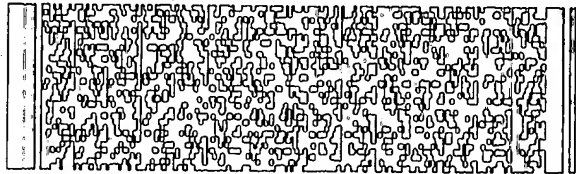
第 12/23 頁



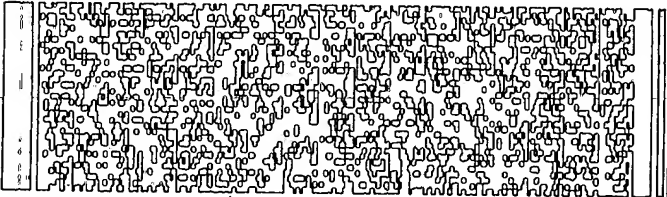
第 13/23 頁



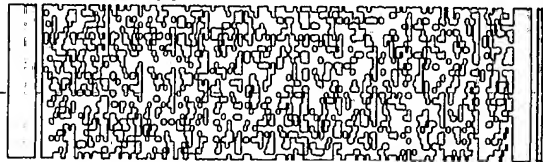
第 13/23 頁



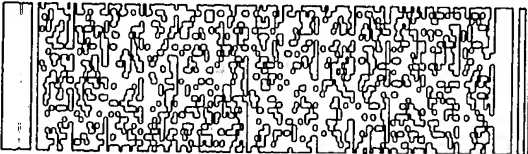
第 14/23 頁



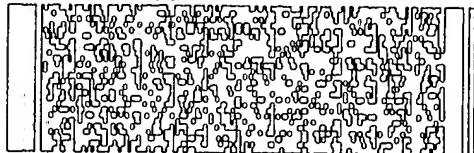
第 15/23 頁



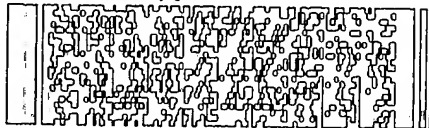
第 16/23 頁



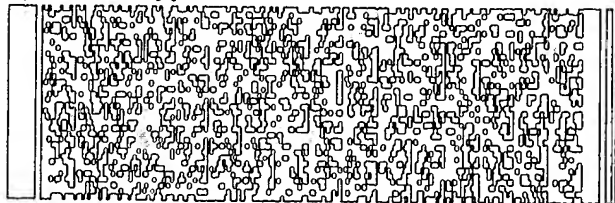
第 17/23 頁



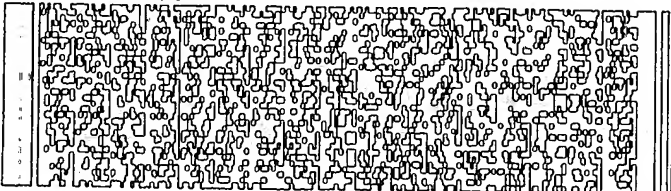
第 18/23 頁



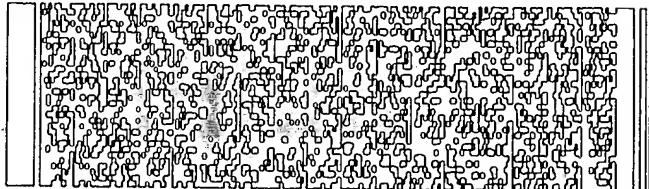
第 19/23 頁



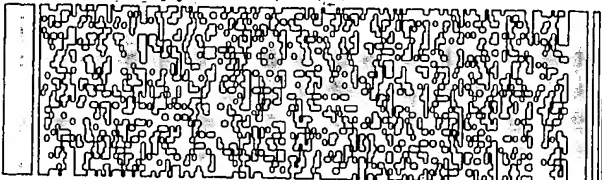
第 20/23 頁



第 21/23 頁



第 22/23 頁



第 23/23 頁



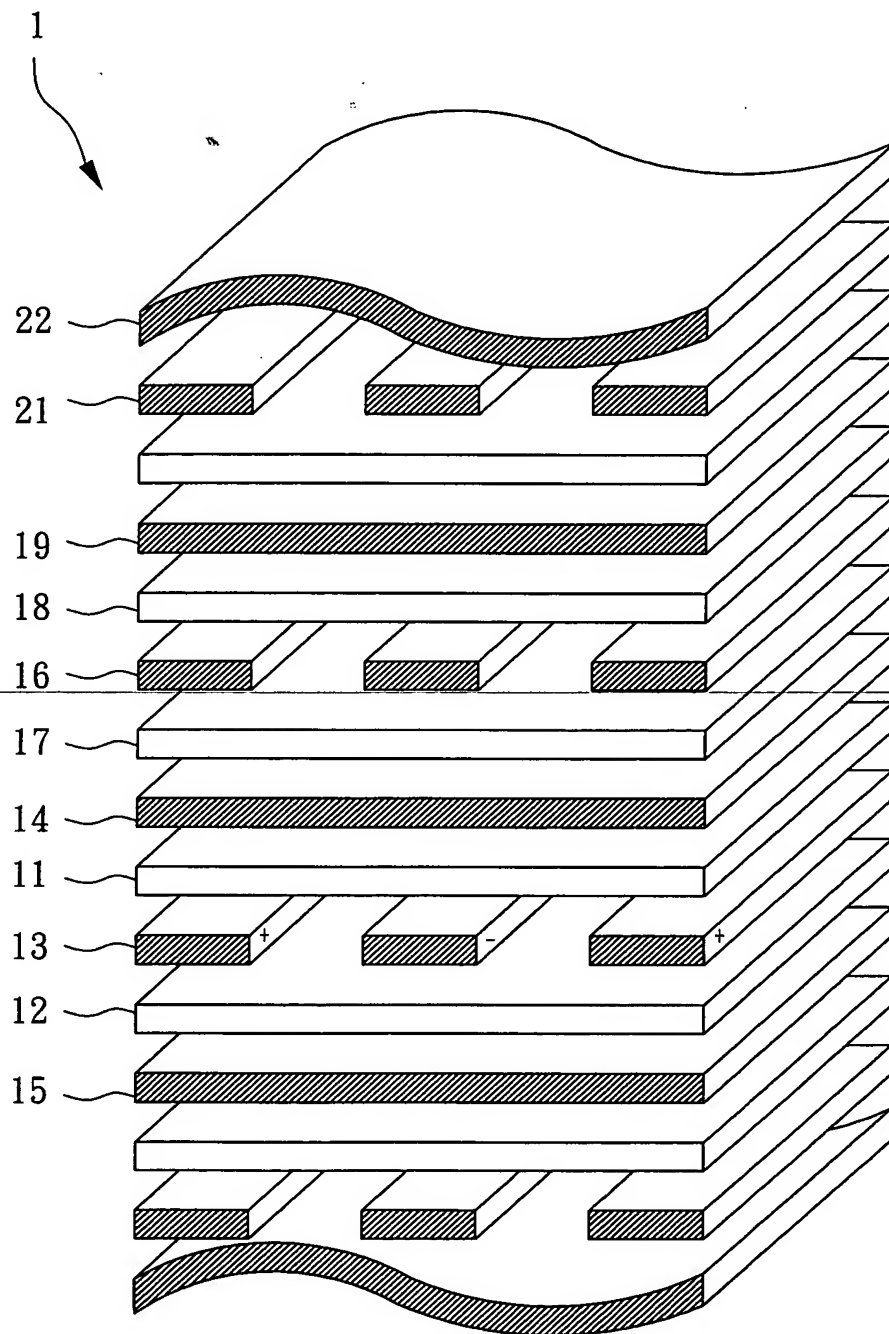
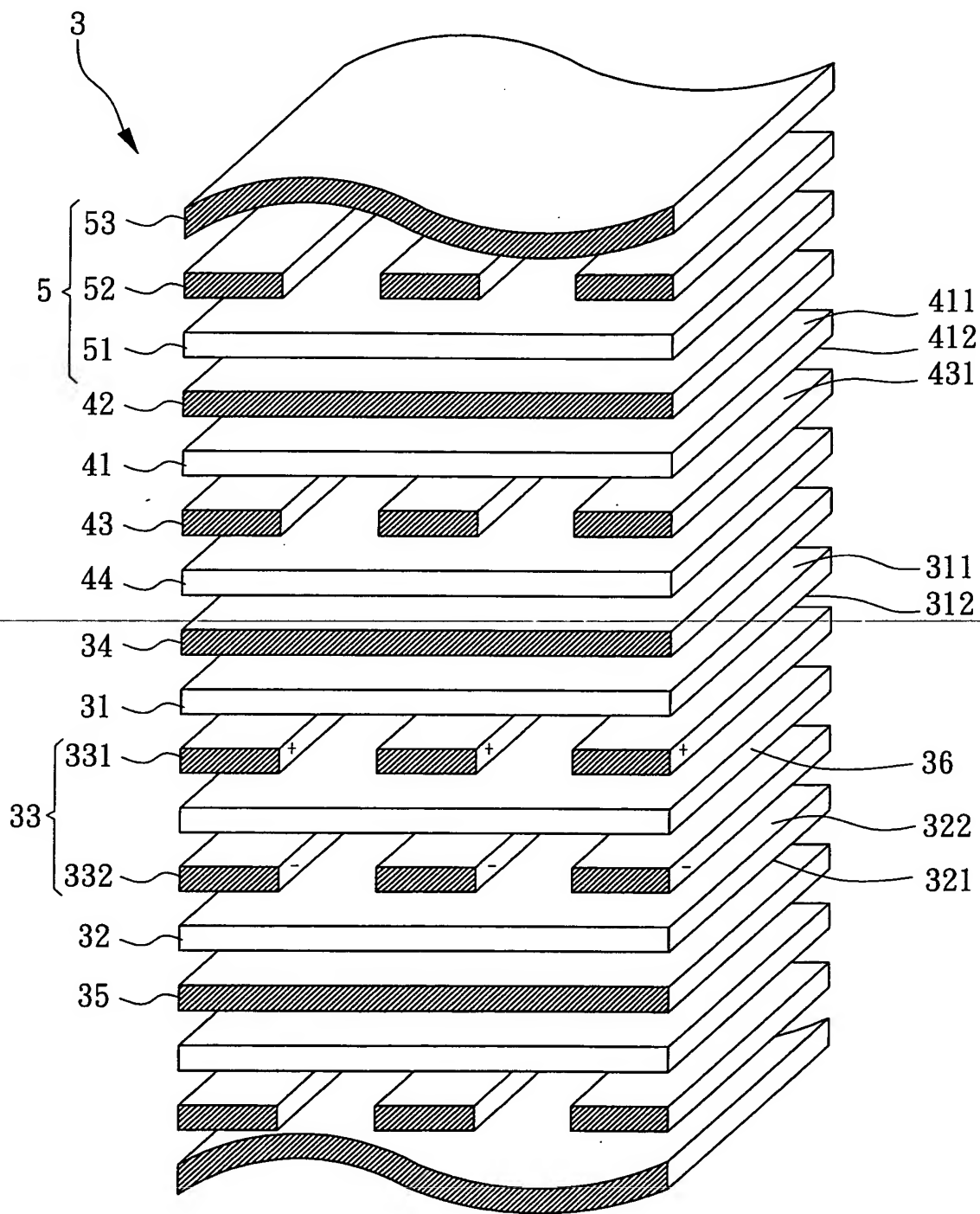
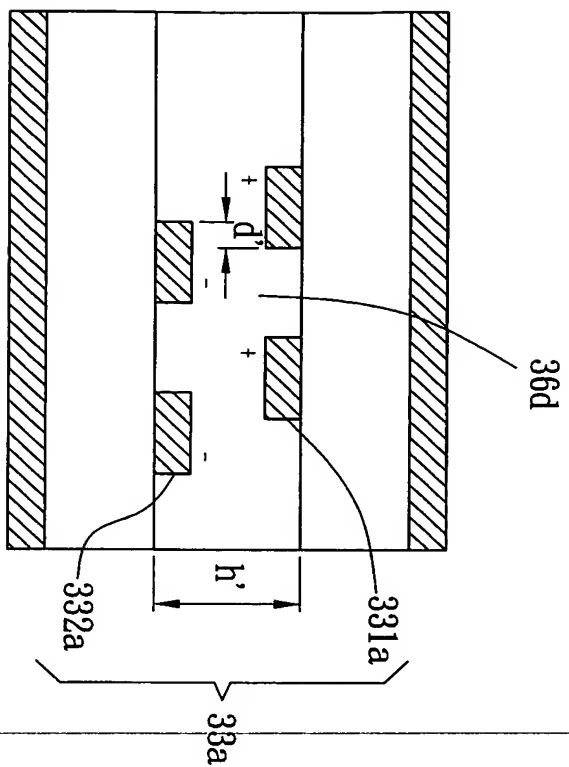


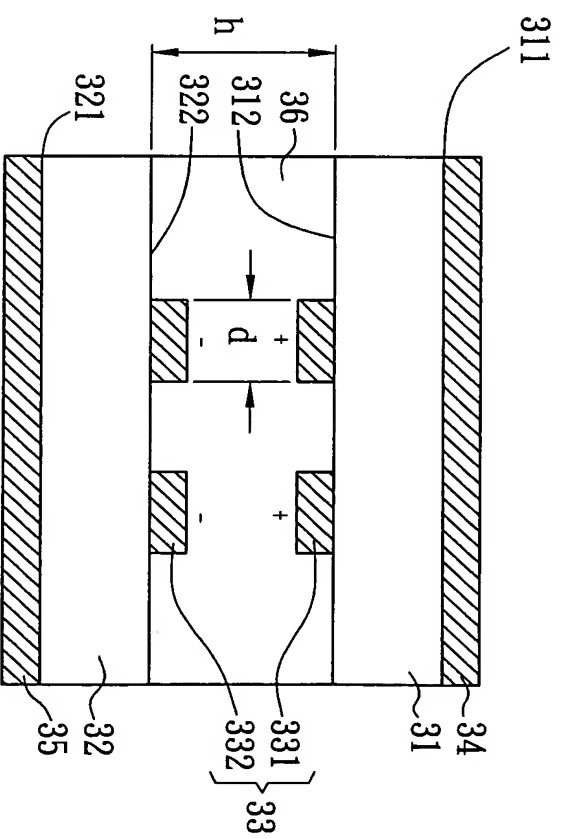
圖 一



圖二 A



圖三



圖二 B

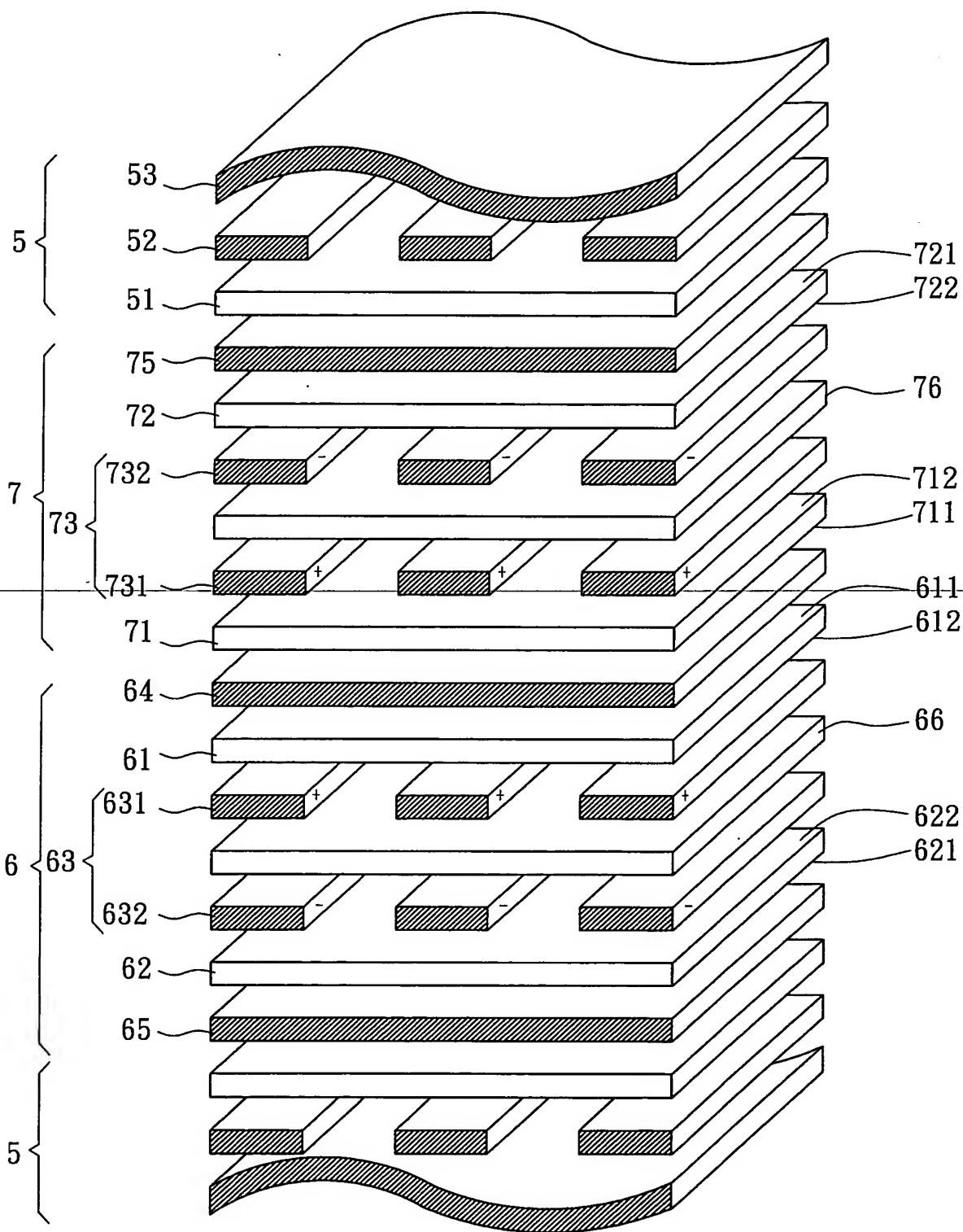


圖 四

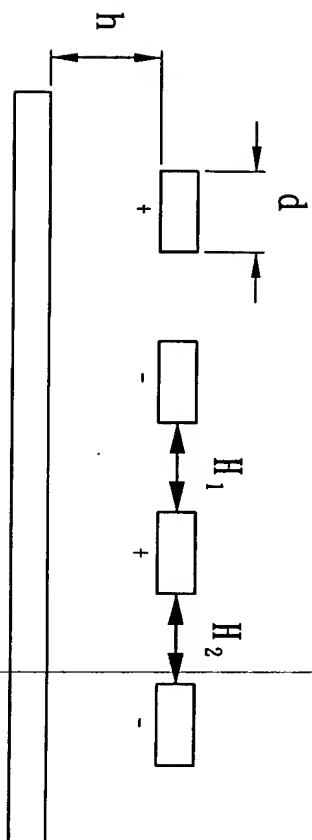


圖 五 A

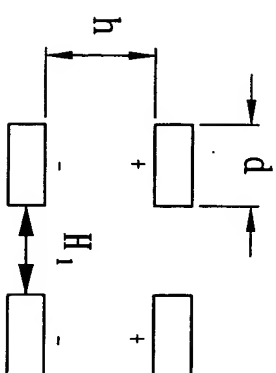


圖 五 B